

PARENT ABSTRACTS OF JAPANESE

(11)Publication number : 2003-060435

(43)Date of publication of application : 28.02.2003

(51)Int.Cl.

H03B 5/12
H03L 7/099

(21)Application number : 2001-245136

(71)Applicant : SONY CORP

(22)Date of filing : 13.08.2001

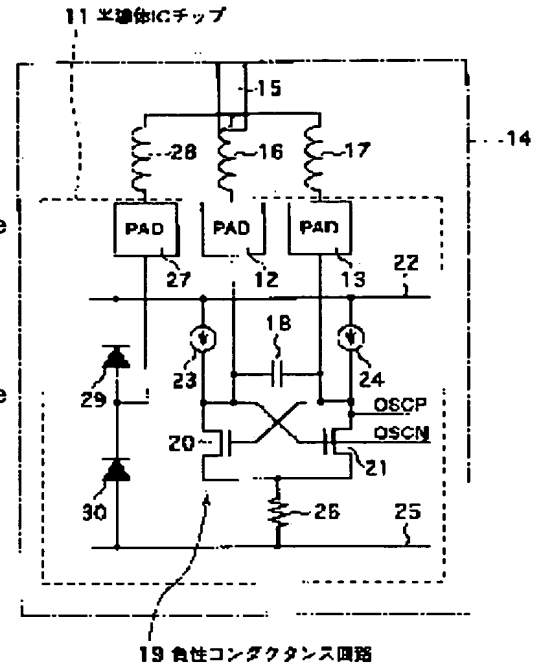
(72)Inventor : KIKUCHI HIDEKAZU

(54) LC OSCILLATION CIRCUIT AND PLL CIRCUIT USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that since a protective diode has a parasitic capacity having a series resistor, when the protective diode is added to a wire-bonding node, a capacitor C for constituting an oscillation circuit increases its parasitic resistance as a composite capacity.

SOLUTION: An LC oscillation circuit comprises an LC parallel resonance circuit and a negative conductance circuit 19. In the LC oscillation circuit, protective elements of an electrostatic breakdown measure (protection diodes 29, 30 in this example) are electrically coupled to a mid-point of a coil L of the resonance circuit. Thus, circuit elements is protected against a static electricity, without generating an excess noise due to the parasitic resistance of the electrostatic protective element and without forcing excess circuit current.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-60435
(P2003-60435A)

(43)公開日 平成15年2月28日(2003.2.28)

(51)Int.Cl.	識別記号	F I	マークシート(参考)
H 0 3 B	5/12	H 0 3 B	5/12
H 0 3 L	7/099	H 0 3 L	7/08

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号 特願2001-245136(P2001-245136)

(22)出願日 平成13年8月13日(2001.8.13)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 菊池 秀和

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 100086298

弁理士 船橋 國則

Fターム(参考) 5J081 AA02 BB10 CC30 CC38 DD03

DD11 EE02 EE03 LL05 MM01

5J106 AA04 CC01 CC21 CC41 DD32

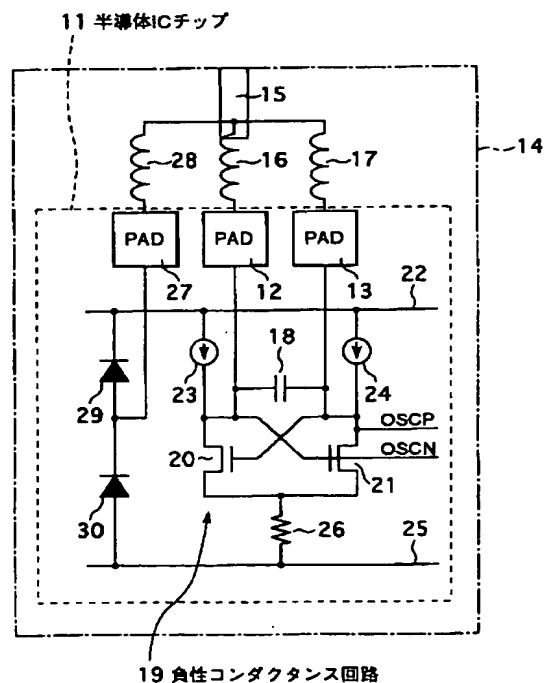
JJ01 KK11 KK29

(54)【発明の名称】 LC発振回路およびこれを用いたPLL回路

(57)【要約】

【課題】 ワイヤボンダするノードに保護ダイオードを付加した場合、この保護ダイオードが直列抵抗を有する寄生容量を持つために、共振回路を構成するコンデンサCが合成容量としては寄生抵抗の大きなものとなってしまう。

【解決手段】 LCの並列共振回路および負性コンダクタンス回路19からなるLC発振回路において、静電破壊対策の保護素子(本例では、保護ダイオード29、30)を共振回路のコイルLの中心に電気的に結合することで、静電保護素子の寄生抵抗に起因する余剰のノイズを発生したり、余剰の回路電流を強いることなく、回路素子を静電気から保護する。



【特許請求の範囲】

【請求項 1】 コイルおよびコンデンサが並列に接続されてなる並列共振回路と、

前記コイルおよび前記コンデンサの直列抵抗に起因する減衰を補償する差動の負性コンダクタンス回路と、
前記コイルの midpoint に電気的に結合された静電保護素子とを備えたことを特徴とする LC 共振回路。

【請求項 2】 前記コイルの midpoint に回路電源ラインが接続されていることを特徴とする請求項 1 記載の LC 共振回路。

【請求項 3】 電圧制御発振器と、前記電圧制御発振器の共振周波数と基準周波数との位相を比較する位相比較器とを有し、前記位相比較器の比較出力に基づいて前記電圧制御発振器の共振周波数を制御する PLL 回路であって、

前記電圧制御発振器は、

コイルおよびコンデンサが並列に接続されてなる並列共振回路と、前記コイルおよび前記コンデンサの直列抵抗に起因する減衰を補償する差動の負性コンダクタンス回路と、前記コイルの midpoint に電気的に結合された静電保護素子とを有する LC 共振回路において、

$$R_P = (L/C) / (R_L + R_C) \quad \dots (1)$$

なる値を持つ抵抗と純粋なコイル L およびコンデンサ C の 3 回路素子の並列回路 (図 5 を参照) のそれと近似的に等しい。

$$|G| = 1/R_P = (R_L + R_C) / (L/C) \quad \dots (2)$$

となる。(1) 式および (2) 式は、寄生抵抗が大きいほど共振に必要な負性コンダクタンスが大きくなることを示している。これは一般に回路電流の増大を招く。

【0004】 また、抵抗 R_P と負性コンダクタンス回路

$$I_N(R_P)^2 = 4kT \cdot R_P \quad \dots (3)$$

$$I_N(G)^2 = F \cdot 4kT / G \\ = F \cdot 4kT \cdot R_P \quad \dots (4)$$

である。ここで、F は負性コンダクタンス回路 -G がアクティブ回路であるための余剰係数で、1 よりも大きな実数である。また、k はボルツマン定数、T は絶対温度である。

$$Z(\Delta\omega) = 1 / (C \cdot \Delta\omega) \quad \dots (5)$$

である。そこに (3) 式、(4) 式で表されるノイズ電

$$V_N(\Delta\omega)^2 = (1+F)kT / (R_P \cdot C^2 \cdot \Delta\omega^2) \\ = (1+F)kT(R_L + R_C)(\Delta\omega / \omega_0) \quad \dots (6)$$

となる。(6) 式は、寄生抵抗が大きいほどノイズが大きくなり、共振信号の純度が低下することを示している。

【0006】 今日では、半導体の中に LC 共振回路を作り込む必要性が高まっているが、その共振信号に非常に高い純度が要求される場合や非常に省電力化が求められている場合には、そのために必要な寄生抵抗の十分小さいコイル L を半導体基板上に集積することができず、ボンディングワイヤやパッケージリードをコイル L として使うことが行われている。その場合、従来は、回路素子

素子とを有する LC 共振回路によって構成され、前記コンデンサの容量値が前記位相比較器の比較出力に応じて可変であることを特徴とする PLL 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、コイル (L) とコンデンサ (C) との並列共振回路を含む LC 共振回路およびこれを用いた PLL (phase locked loop : 位相ロックループ) 回路に関し、特に回路素子を静電破壊から保護するための静電保護素子を有する LC 共振回路およびこれを電圧制御発振器 (voltage controlled oscillator : VCO) として用いた PLL 回路に関する。

【0002】

【従来の技術】 LC 共振回路は、図 4 に示すように、コイル L とコンデンサ C との並列共振回路に、コイル L およびコンデンサ C の直列抵抗 R_L 、 R_C に起因する減衰を補うための負性コンダクタンス回路 -G が連結された回路と解釈することができる。直列抵抗 R_L 、 R_C を有するコイル L とコンデンサ C との並列共振回路の共振周波数付近でのインピーダンスは、

$$\dots (1)$$

【0003】 したがって、減衰が補償され、共振が持続する共振条件は、

-G は、図 6 に示すように、各々独立な白色電流ノイズ $I_N(R_P)$ 、 $I_N(G)$ を発生している。その大きさは、

$$\dots (3)$$

$$\dots (4)$$

【0005】 共振角周波数 ω_0 と $\Delta\omega$ だけ異なる角周波数に対する純粋な LC 並列共振回路のインピーダンス $Z(\Delta\omega)$ は、

$$\dots (5)$$

流が注入されて生じるノイズ電圧 V_N は、

$$V_N(\Delta\omega)^2 = (1+F)kT / (R_P \cdot C^2 \cdot \Delta\omega^2) \\ = (1+F)kT(R_L + R_C)(\Delta\omega / \omega_0) \quad \dots (6)$$

を静電破壊から保護するために静電保護素子 (一般的には、ダイオード) を、ワイヤボンディングするノードに付加する構成を採っていた。

【0007】

【発明が解決しようとする課題】 しかしながら、ワイヤボンディングするノードに例えばダイオードを静電保護素子として付加する構成を採った場合には、この保護ダイオードが直列抵抗を有する寄生容量を持つために、共振回路を構成するコンデンサ C が合成容量としては寄生抵抗の大きなものになってしまう。そのため、共振信号の純度

が十分に得られなかったり、省電力化が十分に図れないという課題があった。

【0008】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、きわめて純度の高い発振信号を得ることができるとともに、省電力化を十分に図ることが可能なLC発振回路およびこれを用いたPLL回路を提供することにある。

【0009】

【課題を解決するための手段】本発明によるLC発振回路は、コイルおよびコンデンサが並列に接続されてなる並列共振回路と、コイルおよびコンデンサの直列抵抗に起因する減衰を補償する差動の負性コンダクタンス回路と、コイルの中心に電気的に結合された静電保護素子とを備えた構成となっている。そして、このLC発振回路は、RFシンセサイザークロックシンセサイザークロックリカバリー回路などを構成するPLL回路において、その電圧制御発振器として用いられる。

【0010】上記構成のLC発振回路またはこれを電圧制御発振器として用いたPLL回路において、静電保護素子が電気的に結合されたコイルの中心は電圧の振動しない部位である。したがって、静電保護素子の寄生容量と直列抵抗は差動の発振動作に何ら寄与しない。その結果、静電保護素子の寄生抵抗に起因する余剰のノイズが発生したり、余剰の回路電流を強いることがない。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0012】図1は、本発明の第1実施形態に係るLC発振回路の回路構成を示す回路図である。図1において、半導体ICチップ（ダイ）11上には第1、第2のパッド（PAD）12、13が形成されている。これらパッド12、13とモールド14上の電極15との間には2本のワイヤ16、17がボンディングされている。ボンディングワイヤ16、17は寄生抵抗がきわめて小さく、ダイオード1、第2のパッド12、13間に接続されるコンデンサ18と共にLC並列共振回路を構成するコイルLとして用いられる。ここで、ボンディングワイヤ16、17の各インダクタンスが等しいとすれば、電極15はLC並列共振回路を構成するコイルLの中心となる。

【0013】差動の負性コンダクタンス回路19は、LC並列共振回路のL、Cの直列抵抗に起因する減衰を補償するために設けられている。この負性コンダクタンス回路19は、ソースが共通に接続されたMOSトランジスタ20、21と、これらMOSトランジスタ20、21のドレインと正電源ライン22との間に接続された電流源23、24と、MOSトランジスタ20、21のソース共通接続点と負電源ライン25との間に接続された抵抗26とから構成されている。

【0014】この負性コンダクタンス回路19におい

て、MOSトランジスタ20のドレインおよびMOSトランジスタ21のゲートが第1のパッド12に接続され、MOSトランジスタ20のゲートおよびMOSトランジスタ21のドレインが第2のパッド13に接続されている。その結果、負性コンダクタンス回路19の差動の出力端間、即ちMOSトランジスタ20、21の各ドレイン（ゲート）間に上記LC並列共振回路が接続されたことになる。

【0015】半導体ICチップ11上にはさらに第3のパッド27が形成されている。この第3のパッド27と電極15との間にもワイヤ28がボンディングされている。これにより、第3のパッド27はLC並列共振回路を構成するコイルの中心に接続されたことになる。第3のパッド27と電源ライン22、25との間には静電保護素子、例えば保護ダイオード29、30が接続されている。具体的には、保護ダイオード29のアノードおよび保護ダイオード30のカソードが第3のパッド27に接続され、保護ダイオード29のカソードが正電源ライン22に、保護ダイオード30のアノードが負電源ライン25にそれぞれ接続されている。

【0016】以上の説明から明らかなように、上記構成の第1実施形態に係るLC発振回路では、静電保護素子である保護ダイオード29、30を、LC並列共振回路を構成するコイルLの中心（電極15）に、第3のパッド27およびボンディングワイヤ28を介して電気的に結合した構成となっている。ここで、コイルLの中心は電圧の振動しない部位である。したがって、保護ダイオード29、30の寄生容量および直列抵抗は、LC並列共振回路の共振に基づく発振動作に対して何ら寄与しない（何ら影響を及ぼすことがない）。

【0017】ここで、保護ダイオード29、30およびボンディングワイヤ28の接続が半導体集積回路の組立工程で完了してしまえば、発振回路素子と保護素子とはボンディングワイヤ16、17、28を介した低インピーダンスで接続されており、集積回路の選別や実装の工程においてリードの露出部分に静電気が与えられたとしても、その電荷は保護ダイオード29、30を通して正電源22あるいは負電源25に放電されるので、LC発振回路を構成する回路素子を静電破壊から確実に保護できる。

【0018】上述したように、LCの並列共振回路および負性コンダクタンス回路19からなるLC発振回路において、静電破壊対策の保護素子（本例では、保護ダイオード29、30）を共振回路のコイルLの中心に電気的に結合したことにより、その中心が電圧の振動しない部位であり、保護ダイオード29、30の寄生抵抗が発振動作に何ら寄与しないため、共振回路のQ値を高く保ちつつ、CN比の良い発振動作を低電力で実現することができる。

【0019】換言すれば、静電保護素子を共振回路のこ

イル L の中点に電氣的に結合し、回路素子を静電氣から保護する構成を採ることで、寄生抵抗がきわめて小さいボンディングワイヤ 16、17 を共振のためのコイル L として用いながら、静電保護素子の寄生抵抗に起因する余剰のノイズが発生したり、余剰の回路電流を強いることがなく、きわめて純度の高い発振信号を得ることができるとともに、省電力化が可能な LC 発振回路を構成できる。

【0020】また、静電保護素子の寄生抵抗が発振動作に寄与しない、換言すれば何ら影響を及ぼすことがないことから、いくら大きな静電保護素子を用いたとしても、発振周波数には影響がないので、静電破壊に強い LC 発振回路を提供できるとともに、当該発振回路を正確な周波数で動作させることが可能となる。

【0021】図 2 は、本発明の第 2 実施形態に係る LC 発振回路の回路構成を示す回路図である。本実施形態に係る LC 発振回路は、ボンディングワイヤを LC 並列共振回路を構成するコイル L として用いるとともに、このコイル L の中点が回路電源を兼ねた構成となっている。

【0022】図 2 において、半導体 IC チップ 31 上には第 1、第 2 のパッド 32、33 が形成されている。これらパッド 32、33 とモールド 34 上のパッケージリード 35 との間には 2 本のワイヤ 36、37 がボンディングされている。ボンディングワイヤ 36、37 は、第 1、第 2 のパッド 32、33 間に接続されるコンデンサ 38 と共に LC 並列共振回路を構成するコイル L として用いられる。ここで、ボンディングワイヤ 36、37 の各インダクタンスが等しいとすれば、パッケージリード 35 は LC 並列共振回路を構成するコイル L の中点となる。

【0023】差動の負性コンダクタンス回路 39 は、エミッタが共通に接続されたバイポーラトランジスタ 40、41 と、コレクタが正電源ライン 42 に、エミッタがトランジスタ 40 のベースに、ベースがトランジスタ 41 のコレクタにそれぞれ接続されたバイポーラトランジスタ 43 と、コレクタが正電源ライン 42 に、エミッタがトランジスタ 41 のベースに、ベースがトランジスタ 40 のコレクタにそれぞれ接続されたバイポーラトランジスタ 44 と、トランジスタ 40、41 のエミッタ共通接続点と負電源ライン 45 との間に接続された電流源 46 と、トランジスタ 40、41 の各ベースと負電源ライン 45 との間に接続された電流源 47、48 とから構成されている。

【0024】この負性コンダクタンス回路 39 において、トランジスタ 40 のコレクタが第 1 のパッド 32 に接続され、トランジスタ 41 のコレクタが第 2 のパッド 33 に接続されている。その結果、負性コンダクタンス回路 39 の差動の出力端間、即ちトランジスタ 40、41 の各コレクタ間に上記 LC 並列共振回路が接続されたことになる。

【0025】半導体 IC チップ 31 上にはさらに第 3、第 4 のパッド 49、50 が形成されている。第 3 のパッド 49 には正電源ライン 42 が接続され、第 4 のパッド 50 には負電源ライン 45 が接続されている。第 3 のパッド 49 とパッケージリード 35 との間にはワイヤ 51 がボンディングされ、第 4 のパッド 50 と負電源が供給されるパッケージピン 52 との間にはワイヤ 53 がボンディングされている。

【0026】パッケージリード 35 にはパッケージピン 54 が電氣的に結合されており、このパッケージピン 54 を介して正電源が供給される。すなわち、コイル L の中点が回路電源を兼ねた構成となっている。そして、電源ライン 42、45 間には静電保護素子、例えば保護ダイオード 55 が接続されている。具体的には、保護ダイオード 55 のカソードが正電源ライン 42 に、保護ダイオード 55 のアノードが負電源ライン 45 にそれぞれ接続されている。

【0027】上述したように、LC 並列共振回路を構成するコイル L の中点が回路電源を兼ねた構成の LC 発振回路において、電源ライン 42、45 間に静電保護素子（本例では、保護ダイオード 55）を接続することにより、保護ダイオード 55 の寄生容量および直列抵抗が LC 並列共振回路の共振に基づく発振動作に何ら寄与しない（何ら影響を及ぼさない）ため、第 1 実施形態に係る LC 発振回路の場合と同様の作用効果を得ることができる。

【0028】なお、本実施形態では、第 1、第 2 のパッド 36、37 に対して図の右側にのみ第 3 のパッド 49 を配置し、このパッド 49 とパッケージリード 35 との間でワイヤボンディングを行う構成としたが、図 2 に点線で示すように、第 1、第 2 のパッド 36、37 に対して図の左側にもパッド 56 を配置し、このパッド 56 とパッケージリード 35 との間でもワイヤボンディングを行うようにすることも可能である。これによれば、第 1、第 2 のパッド 36、37 に関して、第 3 のパッド 49、56 およびパッケージリード 35 を左右対称に構成できるため、より安定した電氣的特性を得ることができる。

【0029】上述した第 1、第 2 実施形態に係る LC 発振回路は、ある一定の発振周波数を安定した発振動作で出力する発振器として広い分野で用いることが可能であるとともに、例えば、RF シンセサイザやクロックシンセサイザやクロックリカバリー回路などを構成する PLL 回路の電圧制御発振器（VCO）として用いることも可能である。

【0030】図 3 は、本発明に係る PLL 回路の構成の一例を示すブロック図である。図 3 から明らかなように、本例に係る PLL 回路は、基準周波数と電圧制御発振器 64 の発振周波数との位相を比較し、その位相差に応じて UP/DOWN 信号を出力する位相比較器 61

と、この位相比較器 61 からの UP/DOWN 信号に基づいて充放電を行うチャージポンプ回路 62 と、このチャージポンプ回路 62 の出力を平滑化して電圧制御発振器 64 に制御電圧として与えるループフィルタ 63 と、その制御電圧に応じて発振周波数が変化する電圧制御発振器 64 とを有する構成となっている。

【0031】かかる構成の PLL 回路において、電圧制御発振器 64 として、先述した各実施形態に係る LC 発振回路が用いられる。この場合、図 1 のコンデンサ 18、図 2 のコンデンサ 38 として可変容量ダイオードなどの容量値が可変な容量素子を用い、その容量値をループフィルタ 63 から与えられる制御電圧に応じて制御するようにすれば良い。この LC 発振回路は、共振回路の Q 値を高く保ちつつ、CN 比の良い発振動作を低電力で実現できることから、これを用いた PLL 回路も、低消費電力で安定したクロック生成が可能となる。

【0032】なお、本例に係る PLL 回路では、電圧制御発振器 64 の発振周波数を直接位相比較器 61 に供給する構成となっているが、電圧制御発振器 64 の発振周波数を適当な分周比で分周した後位相比較器 61 に供給する構成を採っても良いことは勿論である。

【0033】

【発明の効果】以上説明したように、本発明によれば、

LC の並列共振回路および負性コンダクタンス回路からなる LC 発振回路において、静電破壊対策の保護素子を共振回路のコイル L の中点に電気的に結合したことにより、その中点が電圧の振動しない部位であり、静電保護素子の寄生抵抗が発振動作に何ら寄与しないため、共振回路の Q 値を高く保ちつつ、CN 比の良い発振動作を低電力で実現することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係る LC 発振回路の回路構成を示す回路図である。

【図 2】本発明の第 2 実施形態に係る LC 発振回路の回路構成を示す回路図である。

【図 3】本発明に係る PLL 回路の構成の一例を示すブロック図である。

【図 4】LC 発振回路の基本形を示す回路図である。

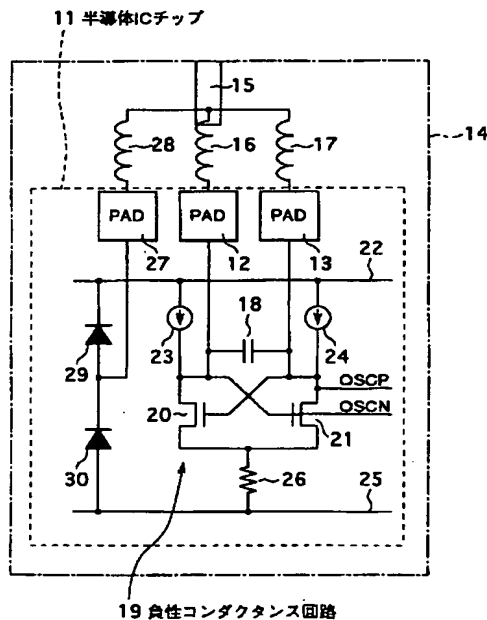
【図 5】図 4 の等価回路図である。

【図 6】白色電流ノイズ $I_N(RP)$ 、 $I_N(G)$ の発生メカニズムを説明するための等価回路図である。

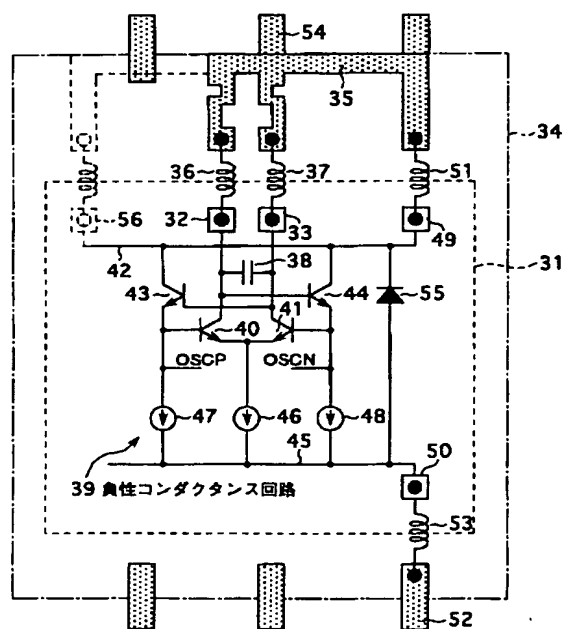
【符号の説明】

12、32…第 1 のパッド、13、33…第 2 のパッド、16、17、28、36、37、51、53…ボンディングワイヤ（コイル）、18、38…コンデンサ、19、39…負性コンダクタンス回路

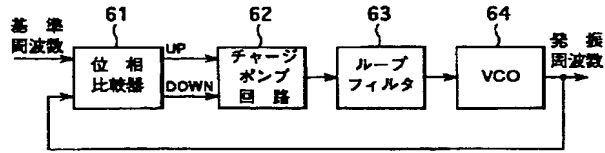
【図 1】



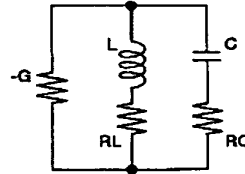
【図 2】



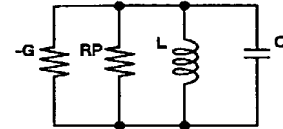
【図3】



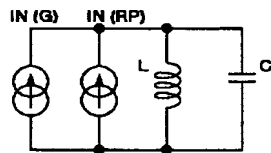
【図4】



【図5】



【図6】



【手続補正書】

【提出日】平成14年7月12日(2002. 7. 12)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

$$I_N(RP)^2 = 4kT \angle RP \quad \dots\dots (3)$$

$$I_N(G)^2 = F \cdot 4kT \angle G \\ = F \cdot 4kT \angle RP \quad \dots\dots (4)$$

である。ここで、Fは負性コンダクタンス回路-Gがアクティブ回路であるための余剰係数で、1よりも大きな実数である。また、kはボルツマン定数、Tは絶対温度である。

【手続補正2】

【補正対象書類名】明細書

$$Z(\Delta\omega) = 1 / (2 \cdot C \cdot \Delta\omega) \quad \dots\dots (5)$$

である。そこに(3)式、(4)式で表されるノイズ電流が注入されて生じるノイズ電圧VNは、

$$V_N(\Delta\omega)^2 = (1+F)kT \angle (RP \cdot C^2 \cdot \Delta\omega^2) \\ = (1+F)kT(RL+RC)(\Delta\omega/\omega_0) \quad \dots (6)$$

となる。(6)式は、寄生抵抗が大きいほどノイズが大きくなり、発振信号の純度が低下することを示してい

【補正内容】

【0004】また、抵抗RPと負性コンダクタンス回路-Gは、図6に示すように、各々独立な白色電流ノイズIN(RP)、IN(G)を発生している。その大きさは、

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】共振角周波数 ω_0 と $\Delta\omega$ だけ異なる角周波数に対する純粋なLC並列共振回路のインピーダンスZ($\Delta\omega$)は、

流が注入されて生じるノイズ電圧VNは、